

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076637
 (43)Date of publication of application : 15.03.2002

(51)Int.CI.
 H05K 3/46
 H05K 1/03
 H05K 1/18
 H05K 3/20

(21)Application number : 2000-259419

(22)Date of filing : 29.08.2000

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

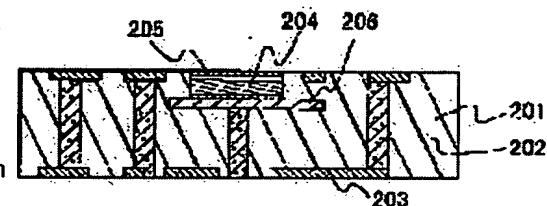
(72)Inventor : SUGAYA YASUHIRO
 ASAHI TOSHIYUKI
 KOMATSU SHINGO
 NAKATANI SEIICHI

(54) SUBSTRATE INCORPORATING CHIP COMPONENT, AND MANUFACTURING METHOD OF THE SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a component configuration for reducing a packaging surface and thinning the thickness of a film incorporating components when incorporating the chip component into a substrate, and manufacturing method for accurately packaging and incorporating such chip passive component as an LCR by forming a fine wiring pattern on a circuit board and at the same time forming the connection with the wiring pattern.

SOLUTION: An electrode is formed at least at either an upper or lower surface, at least one chip component is incorporated, a thickness (*t*) of the chip passive element 204 is smaller than length *L* and width *W*, the chip components have an external connection electrode 204 at least at one of surfaces corresponding to the upper and lower surfaces to the thickness direction, and the external connection electrode 205 is electrically connected to the wiring pattern 203 formed at an electrically insulated multilayer interconnection board 201.



LEGAL STATUS

[Date of request for examination] 29.08.2000

[Date of sending the examiner's decision of rejection] 07.05.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

This Page Blank (uspto)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-76637

(P2002-76637A)

(43)公開日 平成14年3月15日 (2002.3.15)

(51)Int.Cl'
H 05 K 3/46

識別記号

F I
H 05 K 3/46

テ-マ-ト(参考)

Q 5 E 3 3 6

B 5 E 3 4 3

1/03 6 1 0
1/18
3/20

1/03 6 1 0 R 5 E 3 4 6
1/18 R
3/20 B

審査請求 有 請求項の数28 OL (全 21 頁)

(21)出願番号 特願2000-259419(P2000-259419)

(22)出願日 平成12年8月29日 (2000.8.29)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 菅谷 康博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 朝日 俊行

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外5名)

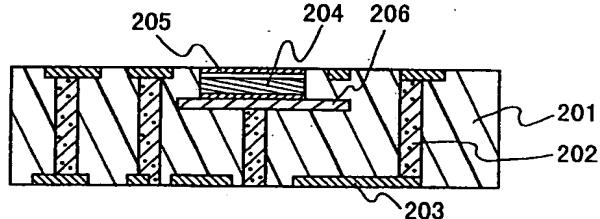
最終頁に続く

(54)【発明の名称】チップ部品内蔵基板及びその製造方法

(57)【要約】

【課題】チップ部品を基板に内蔵するにあたって実装面積が小さく、部品内蔵層厚が薄くできる部品構成、及び回路基板に微細な配線パターンを形成しつつ、配線パターンとの接続を形成しながらL C R等のチップ受動部品を正確に実装、内蔵する製造方法を提供する。

【解決手段】上下面の少なくとも一方で電極が形成され、かつ1つ以上のチップ部品を内蔵し、チップ受動素子204の厚みtが長さL及び幅Wより小さく、かつ前記チップ部品が、その厚み方向に対し上下面に対応する面内の少なくとも一方で、外部接続電極205を有し、外部接続電極205と電気絶縁性多層配線基板201に形成された配線パターン203が電気的に接続されている。



【特許請求の範囲】

【請求項1】上下面の少なくとも一方に電極が形成され、かつ1つ以上のチップ部品を内蔵した電気絶縁性配線基板であって、

前記チップ受動素子の厚み t が長さ L 及び幅 W 以下であり、かつ前記チップ部品が、その厚み方向に対し上下面に対応する面内の少なくとも一方に、外部接続電極を有し、

前記外部接続電極と前記電気絶縁性多層配線基板に形成された配線パターンが電気的に接続されていることを特徴とするチップ部品内蔵配線基板。

【請求項2】前記電気絶縁性基板に半導体素子を含む能動素子がさらに内蔵されている請求項1に記載のチップ部品内蔵配線基板。

【請求項3】前記チップ部品が上下両面に電極が形成された単層チップコンデンサである請求項1に記載のチップ部品内蔵配線基板。

【請求項4】前記単層コンデンサの上下両面に形成された電極が、複数で構成されおり、かつ複数の静電容量を取り出すことができる請求項3に記載のチップ部品内蔵配線基板。

【請求項5】前記チップ部品が、内部に導体パターンで形成された受動素子を有する多層構造で構成されたチップ受動素子である請求項1に記載のチップ部品内蔵多層配線基板。

【請求項6】前記チップ部品が積層チップコンデンサである請求項1、2または5に記載のチップ部品内蔵配線基板。

【請求項7】前記積層チップコンデンサが、セラミックスからなる複数の誘電体層と前記誘電体層の内部に形成される内部電極及び内部電極と上面または下面に形成された外部端子電極が電気的に接続するように前記誘電体層を貫通するピアホール接続部を備えた請求項6に記載のチップ部品内蔵配線基板。

【請求項8】前記積層チップコンデンサにおいて、セラミック焼結体の下面と垂直な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極とを備え、複数の内部電極は、静電容量を取り出すために、その端円の一部がセラミック焼結体の上面及び下面に露出されており、前記セラミック焼結体の上面に形成された第一の外部電極と、セラミック焼結体の下面に形成された少なくとも1つの第2の外部電極とをさらに備えて静電容量を取り出すことができる請求項5に記載のチップ部品内蔵配線基板。

【請求項9】前記積層チップコンデンサの第1の外部電極及び第2の外部電極がそれぞれ複数で構成されており、かつ複数の静電容量を取り出すことができる請求項8に記載のチップ部品内蔵配線基板。

【請求項10】前記チップ受動素子の厚みが0.1mm以上0.5mm以下の範囲である請求項1に記載のチッ

プ部品内蔵多層配線基板。

【請求項11】前記電気絶縁性基板が、無機フィラーと熱硬化性樹脂組成物とを含み、少なくとも一つの貫通孔を有し、前記貫通孔に導電性ペーストが充填されている請求項1に記載のチップ部品内蔵配線基板。

【請求項12】前記無機フィラーが、Al₂O₃、MgO、BN、AINおよびSiO₂から選択された少なくとも一つのフィラーであり、その無機フィラーの割合が70～95重量%であり、かつ熱硬化性樹脂組成物の割合が5～30重量%である請求項11に記載のチップ部品内蔵多層配線基板。

【請求項13】前記電気絶縁性基板が、ガラス織維の織布、ガラス織維の不織布、耐熱有機織維の織布および耐熱有機織維の不織布からなる群から選択された少なくとも一つの補強材とその補強材に熱硬化性樹脂組成物を含浸したものからなり、少なくとも一つの貫通孔を有し、前記貫通孔に導電性ペーストが充填されている請求項1に記載のチップ部品内蔵配線基板。

【請求項14】前記チップ受動素子が導電性接着剤で実装された請求項1に記載のチップ部品内蔵配線基板。

【請求項15】前記半導体素子を含むチップ部品内蔵多層配線基板において、前記チップコンデンサ内蔵配線層と前記半導体素子とがデカッピングを行い、ピアまたはバンプを介して接続された請求項2、3または6に記載のチップ部品内蔵配線基板。

【請求項16】半導体素子を含むチップ部品内蔵多層配線基板において、前記チップコンデンサ内蔵配線層と前記半導体素子が内蔵された配線層とがデカッピングを行い、ピアまたはバンプを介して接続された多層構造を有する請求項15に記載のチップ部品内蔵配線基板。

【請求項17】半導体素子及びチップ部品を内蔵した配線基板において、前記チップコンデンサ及び前記半導体素子が同一層内に内蔵されかつそれぞれの素子が、ピアまたはバンプを介してデカッピングを行い、接続された請求項15に記載のチップ部品内蔵配線基板。

【請求項18】前記チップ受動素子の厚み t が、長さ L の5～90%であり、かつ前記チップ受動素子の厚み t が、幅 W の5～90%である請求項1に記載のチップ部品内蔵配線基板。

【請求項19】キャリア層に剥離層を介して金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながらチップ受動素子を実装した転写用部品配線パターン形成材を用いて、

前記部品配線パターンが形成された側が電気絶縁性基板を構成するシート状基材の少なくとも一方の表面と接触するように配置して、これらを接着して埋め込み、前記転写用配線パターン金属層をキャリア層から剥離し、前記シート状基材に少なくとも金属層及びチップ部品を含む前記部品配線パターンを転写することを含むチ

チップ部品内蔵配線基板の製造方法。

【請求項20】前記転写用配線パターンが、(a)キャリア層が、第1の金属層で構成され、前記第1の金属層上に剥離層を介して、第1の金属層と同一成分の金属を含む第2の金属層を形成して、3層構造を形成し、

(b) 第2の金属層のみを配線パターン形状に加工することを含む請求項19に記載のチップ部品内蔵配線基板の製造方法。

【請求項21】前記転写用配線パターンが、(a)キャリア層が、第1の金属層で構成され、前記第1の金属層上に剥離層を介して、第1の金属層と同一成分の金属を含む第2の金属層を形成して、3層構造を形成し、

(b) 第2の金属層と剥離層および前記第1の金属層の表層部の任意の深さまでを配線パターン形状に加工して、前記第1の金属層の表層部に凹凸部を形成することを含む請求項19に記載のチップ部品内蔵配線基板の製造方法。

【請求項22】(a) キャリア層が第1の金属層で構成され、前記第1の金属層上に第2の金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、(b) 前記配線パターン形状と位置合わせしながらチップ部品パターンを実装、形成する工程とを含んで形成される転写用部品配線パターン形成材を用いて、この部品配線パターンが形成された側が電気絶縁性基板を構成するシート状基材の少なくとも一方の表面と接触するように配置して、これらを接着して埋め込み、

(c) 第2の金属層を含む前記転写用配線パターン金属層を第1の金属層から剥離し、前記シート状基材に少なくとも第2の金属層及び部品パターンを含む前記部品配線パターンを転写することをも含むチップ部品内蔵配線基板の製造方法。

【請求項23】前記第2の金属層を直接付着させて配線パターン形状に加工する方法がメッキ法である請求項2に記載のチップ部品内蔵配線基板の製造方法。

【請求項24】前記チップ部品が前記転写用配線パターンに導電性接着剤を用いて実装されている請求項19～23のいずれかに記載のチップ部品内蔵配線基板の製造方法。

【請求項25】請求項19～24のいずれかに記載の製造方法によって形成されたチップ部品内蔵配線基板を、一括積層によりさらに二層以上に積層したチップ部品内蔵配線基板の製造方法。

【請求項26】キャリア層に剥離層を介して金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、

前記転写用配線パターン形状と位置合わせしながら半導体素子を実装した転写用部品配線パターン形成材を用いて、

前記素子配線パターンが形成された金属層側が電気絶縁性基板を構成するシート状基材の少なくとも一方の表面

と接触するように配置して、これらを接着し、前記転写用配線パターン金属層をキャリア層から剥離し、前記シート状基材に少なくとも金属層及び半導体素子を含む前記部品配線パターンを転写することを含む半導体内蔵配線基板と、前記チップ部品内蔵配線基板とを、ピアまたはバンプを介して接続してそれがデカップリングされたチップ部品を得ることを特徴とするチップ部品内蔵配線基板の製造方法。

【請求項27】前記半導体内蔵配線基板と前記チップ部品内蔵基板を、あらかじめCステージ(完全硬化)に硬化した状態で用意し、各基板層をピアを介したBステージ(半硬化)の配線層を介在させて積層し、半導体素子とチップ部品とを接続する請求項26に記載のチップ部品内蔵配線基板の製造方法。

【請求項28】キャリア層に剥離層を介して金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながら半導体素子を実装した転写用部品配線パターン形成材と、

キャリア層に剥離層を介して金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながらチップ部品を実装した転写用部品配線パターン形成材とを用いて、

これらの素子配線パターンが形成された側が電気絶縁性基板を構成するシート状基材のそれぞれ表裏両面の表面と接触するように配置して、これらを接着して埋め込み、

前記転写用配線パターン金属層をキャリア層から剥離し、前記シート状基材に少なくとも金属層及び半導体素子を含む前記部品配線パターンを転写した半導体内蔵配線基板と、前記チップ部品内蔵配線基板とを、ピアまたはバンプを介して接続し、それがデカップリングされたチップ部品を得ることを特徴とするチップ部品内蔵配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、転写用部品配線パターン形成材を用いて、部品配線パターンが形成されたチップ部品からなる受動部品が内蔵された配線基板との製造方法に関するものである。

【0002】

【従来の技術】近年、電子機器の高性能化、小型化、高周波化の要求に伴い、半導体のさらなる高密度、高機能化が要請されている。このため、前記半導体の他にコンデンサ(C)、インダクタ(L)、抵抗(R)等の受動部品自体も小型化しており、さらにこれら特性が保証されたチップ受動部品を実装するための回路基板も、さらに小型高密度なものが必要とされている。

【0003】これらの要求に対し、例えば、LSI間や

実装部品間の電気配線を、最短距離で接続できる基板層間の電気接続方式であるインナーピアホール（IVH）接続法が、最も回路の高密度配線化が可能であることから、各方面で開発が進められている。一般に、このようなIVH構成の配線基板としては、例えば、多層セラミック配線基板、ビルドアップ法による多層プリント配線基板、樹脂と無機フィラーとの混合物からなる多層コンポジット配線基板等があげられる。

【0004】前記多層セラミック配線基板は、例えば、以下に示すようにして作製できる。まず、アルミナ等のセラミック粉末、有機バインダおよび可塑剤からなるグリーンシートを複数枚準備し、前記各グリーンシートにピアホールを設け、前記ピアホールに導電性ペーストを充填した後、このグリーンシートに配線パターン印刷を行い、前記各グリーンシートを積層する。そして、この積層体を、脱バインダおよび焼成することにより、前記多層セラミック配線基板を作製できる。このような多層セラミック配線基板は、IVH構造を有するため、極めて高密度な配線パターンを形成でき、電子機器の小型化等に最適である。

【0005】また、この多層セラミック配線基板の構造を模した、前記ビルドアップ法によるプリント配線基板も各方面で開発されている。例えば、特開平9-116267号公報、特開平9-51168号公報等には、一般的なビルドアップ法として、従来から使用されているガラスーエポキシ基板をコアとし、この基板表面に感光性絶縁層を形成した後、フォトリソグラフィー法でピアホールを設け、さらにこの全面に銅メッキを施し、前記銅メッキを化学エッチングして配線パターンを形成する方法が開示されている。

【0006】また、特開平9-326562号公報には、前記ビルドアップ法と同様に、前記フォトリソグラフィー法により加工したピアホールに、導電性ペーストを充填する方法が開示され、特開平9-36551号公報、特開平10-51139号公報等には、絶縁性硬質基材の一表面に導体回路を、他方表面に接着剤層をそれぞれ形成し、これに貫通孔を設けて、導電性ペーストを充填した後、複数の基材を重ねて積層する多層化方法が開示されている。

【0007】また、特許第2601128号、特許第2603053号、特許第2587596号は、アラミドーエポキシプリプレグにレーザ加工により貫通孔を設け、ここに導電性ペーストを充填した後、銅箔を積層してペターニングを行い、この基板をコアとして、導電性ペーストを充填したプリプレグでさらに挿み多層化する方法である。

【0008】以上のように、例えば、樹脂系プリント配線基板をIVH接続させれば、前記多層セラミック配線基板と同様に、必要な各層間のみの電気的接続が可能であり、さらに、配線基板の最上層に貫通孔がないため、

より実装性にも優れる。

【0009】しかしながら上記のように、高密度配線化された多層配線基板においても、コンデンサ、抵抗器など配線基板の表面に実装される電子部品の占める割合は依然として高く、電子機器の小型化に対して、大きな課題となっている。このような課題の解決策として配線基板内に電子部品を埋設して高密度実装化を図ろうとする提案が開示されている。

【0010】例えば、プリント基板に設けた透孔内にリードレス部品を埋設した特開昭54-38561号公報、絶縁基板に設けた貫通孔内にセラミックコンデンサ等の受動素子を埋設した特公昭60-41480号公報、半導体素子のバイパスコンデンサをプリント配線基板の孔に埋設した特開平4-73992号公報および特開平5-218615号公報等が開示されている。

【0011】また、セラミック配線基板に設けたピアホール内に導電性物質と誘電性物質を充填して同時焼成した特開平8-222656号公報、有機系絶縁基板に設けた貫通孔に電子部品形成材料を埋め込んだ後、固化させてコンデンサや抵抗器を形成した特開平10-56251号公報等が開示されている。

【0012】上記従来の開示技術はいずれも二つの方式に大別できる。すなわちその一つは配線基板に設けられた貫通孔にチップ抵抗器またはチップコンデンサ等の既に完成されたリードレス部品を埋設した後、このリードレス部品の電極と配線基板上の配線パターンとを導電性ペイントまたは半田付けによって接続するものである。また、他の一つは有機系配線基板の場合、配線基板に設けた貫通孔にコンデンサ等の電子部品形成材料を埋め込み、固化させることによって所望のコンデンサとした後、その上下の端面にメッキを施して電極を形成して電子部品内蔵配線基板を形成させ、また無機系配線基板の場合は、セラミックグリーンシートに設けられたピアホール内に誘電体ペーストや導電性ペーストを充填した後、高温で焼成することにより、所望のコンデンサを内蔵した配線基板を形成したものである。

【0013】しかしながら、これらの貫通孔を利用して焼成あるいは固化したコンデンサで大容量を得ることは困難である。一方、あらかじめ、大容量が確保されているチップコンデンサ等を貫通孔を利用して埋設、実装する場合は、現行、最小サイズの0603チップを用いた場合でも0.6mmの層厚みが必ず伴い、薄い多層基板を実現することが困難となる。

【0014】また、チップ部品単体でみた場合、市場には、1005, 0603に代表される側面に電極が構成されたチップ部品が代表的であり、それらを基板に内蔵した例は、特開平11-220262号公報（米国特許第6,038,133号明細書）などに既に提案されているが、内蔵用に特性、形状を考慮して構造を対応させたもの、またそれを基板に内蔵させた形態は、まだ提案されていない。さら

に、チップ部品単体でみた場合、上下面に電極を有する素子としては、単層チップコンデンサや薄膜積層コンデンサがあるが、これらはいずれも表面実装する事しか想定されておらず、電極間をワイヤーボンドで接続したり、リボンリードで接続したりすることが一般的に用いられている。従って、これらチップ部品を基板に内蔵することや、及び内蔵させたときに配線パターンと精度良く接続させる有効な製造方法は未だ提案されていなかった。

【0015】一方、IVH構造を有する高密度実装の樹脂系プリント配線基板は、一般に熱伝導度が低く、部品の実装が高密度になるに従って、前記部品から発生する熱を放熱させることは、特に半導体素子等の能動部品を実装、あるいは内蔵した場合は困難となる。

【0016】西暦2000年には、CPUのクロック周波数が、1GHz程度になり、その機能の高度化に伴い、CPUの消費電力も、1チップ当たり100~150Wに達すると推測される。そのため、部品を内蔵させる基板には高熱伝導性が要求されつつある。

【0017】この観点で基板をみた場合、セラミック配線基板が比較的高価であることや、樹脂系プリント配線基板が熱伝導性に課題を有すること等を補完する目的で、多層コンポジット配線基板が、特開平9-270584号公報、特開平8-125291号公報、特開平8-288596号公報、特開平10-173097号公報等に提案されている。この多層コンポジット配線基板は、エポキシ樹脂等の熱硬化性樹脂と、熱伝導性に優れる無機フィラー（例えば、セラミック粉末等）とを混合し、複合化させた基板であり、前記無機フィラーを高濃度に含有することができため、前記基板の熱伝導性を向上できる。また、前記無機フィラーの種類を選択することにより、例えば、誘電率、熱膨張係数等を任意に制御することが可能である。

【0018】一方、基板の高密度実装を進める上で、重要なのが微細な配線パターンの形成及び、その配線パターンと接続されたLCRの形成、実装である。前記多層セラミック配線基板において、配線パターンの形成は、例えば、セラミック基板に厚膜導電性ペーストをスクリーン印刷し、焼成により焼き固める方法が一般的に利用されている。しかし、このスクリーン印刷法では、100μm以下の線幅である配線パターンを量産することは困難であると言われている。また、LCR等の受動部品は、表面実装する方法に限定されており、基板内に内蔵せることは困難であった。また、セラミック基板では焼成工程が伴うため、特性の保証されている安価に入手できるチップ部品を内蔵せること不可能であった。この意味でも、高密度実装に限界が生じていた。

【0019】また、通常のプリント配線基板においては、例えば、サブトラクティブ法により配線パターンを形成する方法が一般的である。このサブトラクティブ法

では、厚み18~35μm程度の銅箔を、化学エッティングすることにより、基板に配線パターンを形成するが、この方法でも75μm以下の線幅である配線パターンを量産することは困難であると言われており、前記配線パターンをさらに微細化するためには、前記銅箔を薄くする必要がある。

【0020】また、前記サブトラクティブ法によれば、基板表面に配線パターンが突出した構造となるため、半導体に形成したバンプ上に、電気接続のための半田や導電性接着剤等を乗せ難く、また、前記バンプが配線パターン間に移動して、ショートするおそれもある。また、前記突出した配線パターンのため、例えば、後の工程で、封止樹脂で封止する際の障害となるおそれもある。

【0021】また、前記ビルドアップ法によるプリント配線基板においては、前記サブトラクティブ法以外に、例えば、アディティブ法が採用される傾向にある。このアディティブ法は、例えば、レジストを形成した基板表面に、配線パターンを選択的にメッキする方法であり、30μm程度の線幅である配線パターンを形成することができる。しかし、この方法は、前記サブトラクティブ法に比べ、基板に対する配線パターンの密着強度が弱い等の問題がある。

【0022】そこで、予め微細な配線パターンを形成し、パターン検査を行った後、良品の配線パターンだけを、所望の基板に転写する方法が考案されている。例えば、米国特許5,407,511号は、予めカーボン板の表面に、微細パターンを印刷および焼成によって形成し、これをセラミック基板に転写する方法である。

【0023】また、特開平10-84186号公報、特開平10-41611号公報には、離型性支持板上に形成した銅箔からなる配線パターンを、プリプレグに転写する方法が開示され、同様に特開平11-261219には、銅箔で構成された離型性支持板上にニッケルリン合金剥離層を介して銅箔からなる配線パターンを転写する方法が、また特開平8-330709号公報には、配線パターンである銅箔の粗化面および光沢面における接着度合いが、それぞれ異なることを利用して基板に転写する方法が、開示されている。

【0024】このような転写法により転写される配線パターンは、基板表面に埋め込まれ、得られる配線基板の表面が平坦な構造となるため、前述のように配線パターンの突出による問題は回避される。さらに、特開平10-190191公報では、配線パターンを基板表面に埋め込む際に、貫通孔に充填させた導電性ピアーストを前記配線パターンの厚み分だけ圧縮する効果も開示されている。

【0025】

【発明が解決しようとする課題】しかし、これらの方法では、転写形成材の上に形成されたパターンは、いずれも銅箔等の配線部分だけである。さらに高密度に実装す

るため、L C R 等をチップの形態で転写形成材の上に実装させる提案もできるが、現行のチップでは、側面に電極が形成されているため、ハンダーリフロー等で実装させると、部品面積と比較してかなり大きな実装接続面積が要求される。それを防ぐため、転写形成材上に電極が垂直になるようにチップを立てた状態で実装して基板に転写、内蔵させるためには、埋め込み時にチップの位置ずれ、チップ部品の長さ分以上の厚い層厚の確保等、様々な問題が生じ、多層基板の設計上、限定が多くなる。また、転写形成材上にワイヤーボンドで実装して、転写内蔵させる場合は、あらかじめその領域を樹脂封止して保護した後埋め込むことになる。但しワイヤーボンドで接続した場合、部品間の配線が長くなるため、高周波用途では特性が劣化してしまうことが報告されている。

【0026】そこで、本発明は、チップ部品を基板に内蔵するにあたって実装面積が小さく、部品内蔵層厚が薄くできる部品構成、及び回路基板に微細な配線パターンを形成しつつ、配線パターンとの接続を形成しながらL C R 等のチップ受動部品を正確に実装、内蔵する製造方法を提供することを目的とする。

【0027】

【課題を解決するための手段】前記目的を達成するために、本発明者らは、厚みの薄い上下面いずれかに電極が形成されたチップ受動素子を提案し、それらを転写形成材を用いることによって正確に実装、埋め込むことができるため、高周波用途に適合した最短配線で薄いチップ部品内蔵配線基板を提供する。

【0028】すなわち本発明のチップ部品内蔵配線基板は、上下面の少なくとも一方に電極が形成され、かつ1つ以上のチップ部品を内蔵した電気絶縁性配線基板であって、前記チップ受動素子の厚み t が長さ L 及び幅 W 以下であり、かつ前記チップ部品が、その厚み方向に対し上下面に対応する面内の少なくとも一方に、外部接続電極を有し、前記外部接続電極と前記電気絶縁性多層配線基板に形成された配線パターンが電気的に接続されていることを特徴とする。

【0029】次に本発明の第1番目の方法は、キャリア層に剥離層を介して金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながらチップ受動素子を実装した転写用部品配線パターン形成材を用いて、前記部品配線パターンが形成された側が電気絶縁性基板を構成するシート状基材の少なくとも一方の表面と接触するように配置して、これらを接着して埋め込み、前記転写用配線パターン金属層をキャリア層から剥離し、前記シート状基材に少なくとも金属層及びチップ部品を含む前記部品配線パターンを転写することを含むチップ部品内蔵配線基板の製造方法である。

【0030】次に本発明の第2番目の方法は、(a) キャリア層が第1の金属層で構成され、前記第1の金属層

上に第2の金属層を直接付着させて配線パターン形状に加工し、転写用配線パターンを形成し、(b) 前記配線パターン形状と位置合わせしながらチップ部品パターンを実装、形成する工程とを含んで形成される転写用部品配線パターン形成材を用いて、これの部品配線パターンが形成された側が電気絶縁性基板を構成するシート状基材の少なくとも一方の表面と接触するように配置して、これらを接着して埋め込み、(c) 第2の金属層を含む前記転写用配線パターン金属層を第1の金属層から剥離し、前記シート状基材に少なくとも第2の金属層及び部品パターンを含む前記部品配線パターンを転写することをも含むチップ部品内蔵配線基板の製造方法である。

【0031】次に本発明の第3番目の方法は、キャリア層に剥離層を介して金属層を直接付着させて配線パター

ン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながら半導体素子を実装した転写用部品配線パターン形成材を用いて、前記素子配線パターンが形成された金属層側が電気絶縁性基板を構成するシート状基材の少なくとも一方の表面と接触するように配置して、これらを接着し、前記転写用配線パターン金属層をキャリア層から剥離し、前記シート状基材に少なくとも金属層及び半導体素子を含む前記部品配線パターンを転写することを含む半導体内蔵配線基板と、前記チップ部品内蔵配線基板とを、ピアまたはバンプを介して接続してそれぞれがデカップリングされたチップ部品を得ることを特徴とするチップ部品内蔵配線基板の製造方法である。

【0032】次に本発明の第4番目の方法は、キャリア層に剥離層を介して金属層を直接付着させて配線パター

ン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながら半導体素子を実装した転写用部品配線パターン形成材と、キャリア層に剥離層を介して金属層を直接付着させて配線パター

ン形状に加工し、転写用配線パターンを形成し、前記転写用配線パターン形状と位置合わせしながらチップ部品を実装した転写用部品配線パターン形成材とを用いて、

これらの素子配線パターンが形成された側が電気絶縁性基板を構成するシート状基材のそれぞれ表裏両面の表面と接触するように配置して、これらを接着して埋め込

み、前記転写用配線パターン金属層をキャリア層から剥離し、前記シート状基材に少なくとも金属層及び半導体素子を含む前記部品配線パターンを転写した半導体内蔵配線基板と、前記チップ部品内蔵配線基板とを、ピアまたはバンプを介して接続し、それぞれがデカップリングされたチップ部品を得ることを特徴とするチップ部品内蔵配線基板の製造方法である。

【0033】

【発明の実施の形態】本発明は、上下面少なくともいずれか一方に電極が形成されたチップ受動素子を内蔵した電気絶縁性多層配線基板であって、前記チップ受動素子

の厚み t が長さ L 及び幅 W より小さく設定され、その厚み方向に対し上下面に対応する面内の少なくともいずれか一方、面内に収まる外部接続電極を有し、前記外部接続電極と前記電気絶縁性多層配線基板に形成された配線パターンが接続されたチップ部品内蔵多層配線基板である。

【0034】これは、通常のチップ部品を内蔵した基板と異なり、上下面に電極が構成されているために、実装に伴う新たな面積が発生せず、且つ厚みの薄いチップ部品を採用しているため、体積効率の極めて高い小型、薄型化されたチップ部品内蔵基板を形成することができる。

【0035】前記においては、前記電気絶縁性基板に半導体素子を含む能動素子がさらに内蔵されていることが好ましい。

【0036】また、前記チップ受動素子が上下両面に電極が形成された単層チップコンデンサであると、きわめて薄く、かつ小面積化が可能となる。さらに、単層チップコンデンサの容量スペックは、通常の積層チップコンデンサより10倍以上正確な値を実現でき、設計の厳しい高周波での用途で効果を發揮できる。

【0037】また、前記単層コンデンサの上下両面に形成された電極構成が、二つ以上の複数で構成されおり、その結果として複数の静電容量を取り出すことができる。

【0038】また、前記チップ受動素子が、内部に導体パターンで形成された受動素子を有する多層基板で構成されたチップ部品であり、例えば、積層チップインダクター、積層チップコンデンサ等に対応し、品質が保証された大インダクタンス、大容量を有するチップ部品内蔵基板を実現することができる。

【0039】また、積層チップコンデンサが、セラミックスからなる複数の誘電体層と該誘電体層の内部に形成される内部電極及び内部電極と上面あるいは下面に形成された外部端子電極が電気的に接続するように前記誘電体層を貫通するピアホール接続部を備えたことが好ましい。従って、下面電極のみで接続端子を取り出すことができる点、及び従来の側面電極の場合と比較して端子電極と内部積層電極との距離が短い構造となるため、浮遊容量を小さくすることができ、正確な容量を導出しやすい点が利点として挙げられる。

【0040】また、積層チップコンデンサにおいて、セラミック焼結体の下面と垂直な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極とを備え、複数の内部電極は、静電容量を取り出すために、その端円の一部がセラミック焼結体の上面及び下面に露出されており、前記セラミック焼結体の上面に形成された第一の外部電極と、セラミック焼結体の下面に形成された少なくとも1つの第2の外部電極とをさらに備えて静電容量を取り出すことができる。従って、ピアホ

ール接続部を用いて上下面に端子電極を構成することができるため、容易にチップコンデンサを作製することができます。また、積層構造を採用しているため、大容量のコンデンサを得ることができ且つ、厚みの伴わないチップコンデンサ内蔵基板を得ることができる。

【0041】また、前記積層コンデンサの上下両面に形成された電極構成が、二つ以上の複数で構成されおり、その結果として複数の静電容量を取り出すことができる。

【0042】また、チップ受動素子の厚みが0.1mm以上であれば、割れ等を生じさせないように取り扱うことでき、一方0.5mm以下の範囲であると、チップ部品を内蔵した層厚を抑えることができる。

【0043】また、電気絶縁性基板が、無機フィラーと熱硬化性樹脂組成物とを含み、少なくとも一つの貫通孔を有し、前記貫通孔に導電性ペーストが充填されていると、かとう性に優れ、チップ部品を容易に埋め込むことができる。

【0044】また、無機フィラーが、 Al_2O_3 、 MgO 、 BN 、 AIN および SiO_2 からなる群から選択された少なくとも一つの無機フィラーであり、その無機フィラーの割合が70～95重量%であり、熱硬化性樹脂組成物の割合が5～30重量%であるのが好ましい。この例によれば、無機フィラーが極めて高密度に充填されているので、例えば無機フィラーに Al_2O_3 を選べば一般有機系樹脂基板と比較して高熱伝導な基板が得られ、無機フィラーの特性を生かすことができる。

【0045】また、絶縁性基板が、ガラス繊維の織布、ガラス繊維の不織布、耐熱有機繊維の織布および耐熱有機繊維の不織布からなる群から選択された少なくとも一つの補強材とその補強材に熱硬化性樹脂組成物を含浸したものからなり、少なくとも一つの貫通孔を有し、前記貫通孔に導電性ペーストが充填されているものでもよい。

【0046】また、チップ受動素子が導電性接着剤で実装されたものであり、非鉛系材料のチップ部品を採用すれば、完全に非鉛系のチップ部品内蔵基板を作製することができる。

【0047】また、チップコンデンサ内蔵配線層と前記半導体素子とがデカップリングを行い、ピアまたはバンプを介して接続された構造であると、半導体素子とチップコンデンサとの最短距離実装が実現されており、低ノイズ化等の優れた特性を有するデバイスを実現できる。ここで、デカップリングとは、ICの動作時に発生する高周波雜音を極力IC周辺の高速回路内に閉じ込めて外部のプリント基板やケーブルに流さないようにすることをいう。

【0048】また、チップコンデンサ内蔵配線層と前記半導体素子が内蔵された配線層とがデカップリングを行ない、ピアまたはバンプを介して接続された構造である

と、半導体素子とチップコンデンサとの最短距離実装の実現及び最大限の体積効率化が実現され、積層内蔵基板全体の薄型化を実現することができる。

【0049】また、前記チップコンデンサ及び前記半導体素子が同一層内に内蔵され且つそれぞれの素子が、ビアまたはバンプを介してデカップリングを行い、接続された構造が好ましい。この例によれば、半導体素子とチップコンデンサとの最短距離実装の実現及び最大限の体積効率化が実現された、内蔵基板全体の薄型化、さらに前記チップコンデンサ及び前記半導体素子の内蔵プロセスを同時にを行うことができ、工程を簡略化させることができる。

【0050】本発明においては、前記チップ受動素子の厚み t は、長さLの5~100%が好ましく、さらに5~90%が好ましく、とくに20~70%の範囲が好ましい。前記チップ受動素子の厚み t は、幅Wの5~100%が好ましく、さらに5~90%が好ましく、とくに20~70%の範囲が好ましい。より具体的には、チップ受動素子の長さLは0.2mm~2.3mmの範囲が好ましく、幅Wは0.2mm~2.5mmの範囲が好ましい。

【0051】次に本発明の第1番目の方法によれば、容易にチップ部品を基板内に実装することができる。

【0052】また本発明の第2番目の方法によれば、たとえば、銀配線パターンと接続されたチップ部品を容易に基板内に実装することができる。

【0053】前記方法において、第2の金属層を直接付着させて配線パターン形状に加工する方法がメッキ法である例によれば、ファインパターンを容易に実現することができる。

【0054】また、チップ部品が前記転写用配線パターンに導電性接着剤を用いて実装する例によれば、非鉛系の部品内蔵配線基板の実現を可能にできる。

【0055】また、一括積層によりさらに二層以上に積層すると、容易に部品内蔵基板を積層する事ができる。

【0056】次に本発明の第3番目の方法によれば、半導体内蔵基板とチップ部品内蔵基板を容易に互いに電気的に接続させながら積層させることができる。

【0057】次に本発明の第4番目の方法によれば、半導体素子とチップ部品を同時に内蔵させることができるので、製造工程を簡略化することができる。

【0058】前記方法において、半導体内蔵配線基板と前記チップ部品内蔵基板を、あらかじめCステージに硬化した状態で用意し、各基板層をビアを介したBステージの配線層を介在させて積層することによって、次工程である積層工程で内蔵された部品をより強固に保護することができる。

【0059】なお、本発明において基板とは、配線パターンを形成する前のシート状基材等をいい、配線基板とは、前記基板に配線パターンを形成したものをいい、回

路基板とは、前記基板に配線パターンのみならず、半導体チップ等の能動部品またはLCR等受動部品を実装したものと示す。

【0060】

【発明の実施の形態】（実施の形態1）本発明の第1の実施の形態であるチップ部品内蔵基板の一例の構成概略を、従来提案されている形態、図1と比較しながら図2に示す。

【0061】

図1(a)に示すように、従来のチップ部品内蔵基板の形態は、埋め込まれたチップ部品104と基板101に形成されたビア接続部102、配線部103とがワイヤーボンド105で接続された構造であったり、図1(b)で示されるように、埋め込まれたチップ部品104と基板101に形成されたビア接続部102、配線部103とが半田106で接続された構造である。図1(a)のワイヤーボンド接続構造では、配線長が長くなるため、特に高周波域での特性に問題が生じる。一方、図1(b)の半田接続構造では、配線長の問題はやや回避できるものの、半田リフローに要する実装面積がチップ部品に対し大きくなり高密度実装に弊害となっている。

【0062】これに対し、図2のように、前記第1の実施形態であるチップ部品内蔵基板では、内蔵されたチップ部品204が上下面少なくともいずれか一方に電極が形成されていて、前記チップ受動素子204の厚み t が長さL及び幅Wより小さく設定され、その厚み方向に対し上下面に対応する面内の少なくともいずれか一方、面内に収まる外部接続電極205を有し、前記外部接続電極205と前記電気絶縁性多層配線基板201に形成された配線パターン203とが接続された構成となる。

【0063】前記チップ受動素子204は例え、単層チップコンデンサが考えられる。単層チップコンデンサの外形寸法は、0.25mm角から2.5mm角オーダーまで、厚みは80μmから300μmまで容量に応じて網羅されており、通常の積層チップコンデンサと比較して極めて薄く、正確な容量値を導出することができる。従って、内蔵に伴い、基板の層厚を特に厚くする必要がなく高密度チップ部品内蔵多層基板に最適である。

【0064】

单層チップコンデンサを構成する誘電体材料は、チタン酸バリウムを主成分とするもの、Pb系ペロブスカイト酸化物を主成分とするものが主として考えられるが、他の系の誘電材料でも構わない。

【0065】電極としては、高周波特性及び高信頼性を重視する場合は、Au電極が用いられるが、これに限定されるものではなくAgメタライズ電極、Ni電極他いずれでも用途に応じて用いればよい。なお、Au電極を用いる場合は、下地の電極としてTiWが保護膜として好ましい。

【0066】

一方、層間ビア接続を実現するための前記貫通孔の形成方法は、前記シート状基材の種類等により

適宜決定されるが、例えば、炭酸ガスレーザー加工、パンチングマシンによる加工、金型による一括加工等があげられる。

【0067】前記導電性ペーストとしては、導電性を有していれば、特に制限されないが、通常、導電性金属材料の粒子を含有する樹脂等が使用できる。前記導電性金属材料としては、例えば、銅、銀、金、銀パラジウム等が使用でき、前記樹脂としては、エポキシ系樹脂、フェノール系樹脂、セルロース系樹脂、アクリル系樹脂等の有機バインダーが使用できる。

【0068】なお、本実施形態では、導電性ペースト充填による層間接続を想定しているが、スルーホールメッキピアによる接続構造であっても何ら構わない。

【0069】(実施の形態2) つぎに、本発明の第2の実施の形態であるチップ部品内蔵多層基板を図3に示す。基板301に内蔵されたチップ部品304が単層チップコンデンサであり、上面には、一極電極305が、下面には、多数の電極306が形成されていて、これら面内に収まる一極電極である外部接続電極305と前記電気絶縁性多層配線基板301に形成された配線パターン303とが接続され、多数電極である外部接続端子306と前記電気絶縁性多層配線基板301に形成された層間接続ビア302とが、ランド配線層307を介して接続された構成である。下面に形成された多数電極306は、図3に示すようにグリッド状の形態をとって、多端子構造をとってもよい。

【0070】このような構造によれば、実装形態によって設計値どおりの静電容量を示さないコンデンサに対し、異なる複数個のチップコンデンサを用意することができるので、必要とされる静電容量を容易に提供することができる。これは、内蔵に伴う容量変化が生じた場合に特に、有效地に機能する。

【0071】(実施の形態3) 次に、本発明の第3の実施形態であるチップ部品内蔵多層基板の構成概略を図4に示す。図4において、チップ部品404が、セラミックスからなる複数の誘電体層406と該誘電体層の内部に形成される内部電極404及び内部電極と上面あるいは下面に形成された外部端子電極が電気的に接続するように前記誘電体層を貫通するピアホール接続部402を備えたチップ積層コンデンサ404が基板401に埋設されたものである。なお、層間の接続はピアホール接続部407にて行われる。従って、下面電極のみ(埋め込み後は上面電極)で接続端子を取り出すことができる点、及び從来の外部端子電極が、側面電極で構成されている積層チップコンデンサの場合と比較して、本実施形態のチップコンデンサでは、外部端子電極と内部積層電極との距離が短い構造となるため、浮遊容量を小さくすることができ、正確な容量を導出することができる。

【0072】(実施の形態4) 次に、本発明の第4の実施形態であるチップ部品内蔵多層基板の構成概略を図5

に示す。図5において、セラミック焼結体505の下面と垂直な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極506とを備え、複数の内部電極は、静電容量を取り出すために、その端円の一部がセラミック焼結体の上面及び下面に露出されており、前記セラミック焼結体の上面に形成された第一の外部電極507と、セラミック焼結体の下面に形成された少なくとも1つの第2の外部電極508とをさらに備え、基板501に埋設された構造であり、基板501内に形成された層間接続ビア502と外部電極508とが配線層504を介して接続されている。さらに、チップコンデンサ上両面電極507と、配線層503とが接続して配置されている。

【0073】この構造によれば、積層構造を採用しているため、チップコンデンサとして大容量の静電容量を取り出すことができる。また、ピアホール接続部を用いて上下面に端子電極を構成することができるため、容易にチップコンデンサを作製することができる。従って、大容量のコンデンサで且つ、厚みの伴わないチップコンデンサ内蔵基板を得ることができる。

【0074】また、本発明では、チップ部品の代表としてチップコンデンサを各実施形態、実施例でも採用しているが、積層セラミックインダクター、チップ抵抗等を採用しても有効であることは言うまでもない。

【0075】この積層コンデンサは、直方体のセラミック焼結体を用いて構成されており、例えばチタン酸バリウム系セラミックのような適宜の誘電体セラミックを用いることができる。

【0076】セラミック焼結体には、複数の内部電極がセラミック層を介して重なり合うように配置されている。

【0077】(実施の形態5) つぎに、本発明の第5の実施の形態であるチップ部品内蔵多層基板を図6に示す。基板601に内蔵されたチップ部品604が積層チップコンデンサであり、実施の形態4と同様に、セラミック焼結体605の下面と垂直な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極606とを備え、複数の内部電極は、静電容量を取り出すために、その端円の一部がセラミック焼結体の上面及び下面に露出されており、前記セラミック焼結体の上面に形成された複数の外部電極607と、セラミック焼結体の下面に形成された複数の外部電極608とをさらに備え、基板601に埋設された構造であり、基板601内に形成された層間接続ビア602あるいは配線層603が外部複数電極607あるいは608に接続されている。前記複数電極607、608は、図3に示すようにグリッド状の形態をとって、多端子構造をとってもよい。

【0078】(実施の形態6) つぎに、本発明の第6の実施の形態であるチップ部品内蔵多層基板を図7に示す。

す。図7は実施の形態4と同様、セラミック焼結体705の下面と垂直な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極706とを備え、複数の内部電極は、静電容量を取り出すために、その端円の一部がセラミック焼結体705の上面及び下面に露出されており、前記セラミック焼結体の上面に形成された第一の外部電極707と、セラミック焼結体の下面に形成された少なくとも1つの第2の外部電極708とをさらに備え、基板701に埋設された構造であり、基板701内に形成された配線形成層703と外部電極708とが導電性接着剤で接続、実装されたものである。従って、半田フリーの実装形態であるため、前記セラミック焼結体705に非鉛系材料のチップ部品を採用すれば、完全に非鉛系材料で構成されたチップ部品内蔵基板を作製することができる。

【0079】なお、内蔵されるチップ部品は、なんら図7に示す積層構造のチップコンデンサに限定されるものではなく、単層チップコンデンサでもよく、またチップインダクター、チップ抵抗でも構わない。

【0080】(実施の形態7) つぎに、本発明の第7の実施の形態であるチップ部品内蔵多層基板を図8に示す。図8は実施形態6と同様、縦型電極の積層構造のチップコンデンサ804が基板801に埋設され、基板801内に形成された接続ピア802と前記チップコンデンサ804の外部接続電極806とが接続された構造であり、且つ前記内蔵チップコンデンサ804と前記基板の表層に実装された半導体素子808とがデカッピングをしている構造であるため、半導体素子808とチップコンデンサ804との最短距離実装が実現されており、低ノイズ化等の優れた特性を有するデバイスを実現することができる。

【0081】なお、内蔵されるチップ部品は、なんら図8に示す積層構造のチップコンデンサに限定されるものではなく、単層チップコンデンサでも構わない。

【0082】(実施の形態8) つぎに、本発明の第8の実施の形態であるチップ部品内蔵多層基板を図9に示す。図9は実施形態7と同様、縦型電極の積層構造のチップコンデンサ904が基板901に埋設され、基板901(a)内に形成された接続ピア902と前記チップコンデンサ904の外部接続電極906とが接続された構造と半導体素子908が基板901(b)に内蔵された構造とが積層されたものであり、チップコンデンサ内蔵配線層904と前記半導体素子が内蔵された配線層905とが層間ピア902を介して接続され、チップコンデンサ904と半導体素子908とがデカッピングをおこなう構造であるため、半導体素子とチップコンデンサとの最短距離実装の実現及び最大限の体積効率化が実現された、積層内蔵基板全体の薄型化を実現することができる。

【0083】なお、内蔵されるチップ部品は、なんら図

9に示す積層構造のチップコンデンサに限定されるものではなく、単層チップコンデンサでも構わない。

【0084】(実施の形態9) 同様に、本発明の第9の実施の形態であるチップ部品内蔵多層基板を図10に示す。図10は上記実施形態8と同様、縦型電極の積層構造のチップコンデンサ1004が基板1001に埋設され、基板1001内に形成された層間接続ピア1002と前記チップコンデンサ1004の外部接続電極1006とが接続された構造は同様であるが、同一基板1001内に同じく半導体素子1008が内蔵され、前記基板1001に形成された配線層1005とがフリップチップ接続しており、さらに層間ピア1002と前記配線層1005を介してチップコンデンサ1004と半導体素子1008とがデカッピングをおこなう構造である。この構造によれば、チップコンデンサ1004を内蔵する工程と半導体素子1008を内蔵する工程を同時にを行うことができるため、工程を簡略化でき、且つ半導体素子とチップコンデンサとの最短距離実装の実現及び最大限の体積効率化が実現できる。

【0085】なお、内蔵されるチップ部品は、なんら図10に示す積層構造のチップコンデンサに限定されるものではなく、単層チップコンデンサあるいは積層チップインダクター、チップ抵抗でも構わない。

【0086】一方、前記チップ部品や半導体素子を埋め込む基板としては、次のようなシート状基材が望ましい。例えば、前記シート状基材が無機フィラーと熱硬化性樹脂組成物とを含み、少なくとも一つの貫通孔を有し、前記貫通孔に導電性ペーストが充填されていることが好ましい。これにより、熱伝導性に優れ、前記配線パターンが前記導電性ペーストにより電気的に接続されたIVH構造を有する高密度実装用配線基板を容易に得ることができる。

【0087】また、このシート状基材を用いれば、配線基板の作製の際に、高温処理の必要がなく、例えば、熱硬化性樹脂の硬化温度である200°C程度の低温処理で十分である。

【0088】前記シート状基材全体に対し、前記無機フィラーの割合が70~95重量%であり、前記熱硬化性樹脂組成物の割合が5~30重量%であることが好ましく、特に好ましくは、前記無機フィラーの割合が85~90重量%であり、前記熱硬化性樹脂組成物の割合が10~15重量%である。前記シート状基材は、前記無機フィラーを高濃度含有できることから、その含有量により、配線基板における、熱膨張係数、熱伝導度、誘電率等を任意に設定することが可能である。

【0089】前記無機フィラーは、Al₂O₃、MgO、BN、AlNおよびSiO₂からなる群から選択された少なくとも一つの無機フィラーであることが好ましい。前記無機フィラーの種類を適宜決定することにより、例えば、熱伝導性、熱膨張性、誘電率を所望の条件に設定

することができる、例えば、前記シート状基材における平面方向の熱膨張係数を、実装する半導体の熱膨張係数と同程度に設定し、かつ高熱伝導性を付与することも可能である。

【0090】前記無機フィラーの中でも、例えば、 Al_2O_3 、BN、AIN等を用いたシート状基材は、熱伝導性に優れ、MgOを用いたシート状基材は、熱伝導度に優れ、かつ熱膨張係数を大きくすることができる。また SiO_2 、特に非晶質 SiO_2 を使用した場合、熱膨張係数が小さく、軽く、かつ低誘電率のシート状基材を得ることができる。なお、前記無機フィラーは、一種類でもよいし、二種類以上を併用してもよい。

【0091】前記無機フィラーと熱硬化性樹脂組成物とを含むシート状基材は、例えば、以下のようにして作製できる。まず、前記無機フィラーと熱硬化性樹脂組成物とを含む混合物に粘度調整用溶媒を加え、任意のスラリー粘度であるスラリーを調製する。前記粘度調整用溶媒としては、例えば、メチルエチルケトン、トルエン等が使用できる。

【0092】そして、予め準備した離型フィルムにおいて、前記スラリーを用いて、例えば、ドクターブレード法等により造膜し、前記熱硬化性樹脂の硬化温度よりも低い温度で処理して、前記粘度調整用溶媒を揮発させた後、前記離型フィルムを除去することによりシート状基材が作製できる。

【0093】前記造膜した時の膜厚は、前記混合物の組成や、添加する前記粘度調整用溶媒の量により適宜決定されるが、通常、厚み $80 \sim 200 \mu\text{m}$ の範囲である。また、前記粘度調整用溶媒を揮発させる条件は、例えば、前記粘度調整用溶媒の種類や前記熱硬化性樹脂の種類等により適宜決定されるが、通常、温度 $70 \sim 150^\circ\text{C}$ で、5~15分間である。

【0094】前記離型フィルムとしては、通常は、有機フィルムが使用でき、例えば、ポリエチレン、ポリエチレンフタレート、ポリエチレンナフタレート、ポリフェニレンサルファイド(PPS)、ポリフェニレンフタレート、ポリイミドおよびポリアミドからなる群から選択された少なくとも一つの樹脂を含む有機フィルムであることが好ましく、特に好ましくはPPSである。

【0095】また、別のシート状基材としては、シート状補強材に熱硬化性樹脂組成物を含浸したものであり、少なくとも一つの貫通孔を有し、前記貫通孔に導電性ペーストが充填されているシート状基材がある。

【0096】前記シート状補強材は、前記熱硬化性樹脂を保持できるものであれば、特に制限されないが、ガラス繊維の織布、ガラス繊維の不織布、耐熱有機繊維の織布および耐熱有機繊維の不織布からなる群から選択された少なくとも一つのシート状補強材であることが好ましい。前記耐熱有機繊維としては、例えば、全芳香族ポリアミド(アラミド樹脂)、全芳香族ポリエステル、ポリ

ブチレンオキシド等があげられ、中でもアラミド樹脂が好ましい。

【0097】前記熱硬化性樹脂は、耐熱性であれば特に制限されないが、特に耐熱性に優れることから、エポキシ系樹脂、フェノール系樹脂およびシアネート系樹脂あるいはポリフェニレンフタレート樹脂、ポリフェニレンエーテル樹脂からなる群から選択された少なくとも一つの樹脂を含むことが好ましい。また、前記熱硬化性樹脂は、いずれか一種類でもよいし、二種類以上を併用してもよい。

【0098】このような、シート状基材は、例えば、前記熱硬化性樹脂組成物中に前記シート状補強材を浸漬した後、乾燥させ半硬化状態にすることにより作製できる。

【0099】前記含浸は、前記シート状基材全体における前記熱硬化性樹脂の割合が、30~60重量%になるように行なうことが好ましい。

【0100】これらの製造方法において、以上のような、熱硬化性樹脂を含有するシート状基材を用いる場合は、前記配線基板の積層を、加熱加圧処理による前記熱硬化性樹脂の硬化によって行なうことが好ましい。これによれば、前記配線基板の積層工程において、例えば、前記熱硬化性樹脂の硬化温度である 200°C 程度の低温処理で十分である。

【0101】前記シート状補強材が、ポリイミド、LCP、アラミドなどのフィルム上シートに熱硬化樹脂をコーティングしたものであってもよい。

【0102】(実施の形態10) 次に、本発明の第10の実施の形態であるチップ部品内蔵多層基板の製造方法を従来の実施の形態である製造方法、図11と比較しながら図12に示す。

【0103】図11(a)(b)のように、既に提案がなされている実施形態である転写用部品配線パターン形成材は、第一の金属層である離型キャリア用金属箔1106と、その上に形成された第二の金属層である配線用金属層1103の2層構造で形成された転写用配線パターン形成材上に、チップ部品接続用の半田ペースト1105が印刷される。なお、導電性接着剤を用いて転写用配線パターンとチップ部品を接続してもよい。

【0104】次に、図11(c)のように、チップ部品1104を所定の位置にセットした後、リフロー炉を通過させて、チップ部品を転写形成材上に実装した。

【0105】しかる後、図11(d)~(e)に示すように、層間接続ピア1102が形成された、基板を構成するシート状基材1101に、位置合わせを行いながら圧着を行い、チップ部品が実装された転写形成材を押しつけ、シート状基材の硬化も同時に行った。

【0106】その後、図11(f)に示すように、離型キャリア用金属箔1106部分のみをエッティングによって除去し、チップ部品1104が内蔵された基板が得ら

れる。

【0107】この場合、チップ部品は、寝かした状態で転写形成材に半田実装されているが、立てた状態で半田実装を行い、基板に埋め込む場合も従来例として報告されている。しかし、その場合は、チップ部品の長さ方向がそのまま層厚に対応して埋設されることが多く、その基板の層厚が厚くなり、多層化していくことが現実的に困難であった。

【0108】いずれにせよ、転写形成材の配線パターンとチップ部品の側面電極を安定して半田接続させるためには、ある一定以上の実装面積が必要になる。従って、チップ部品のごく近傍に配線を配置させることは困難となつておらず、高密度実装を妨げていた。

【0109】一方、本発明第10の実施の形態の製造方法では、上下両面に電極を有する単層チップコンデンサ1204を転写形成材に構成されている配線パターン1203上に実装することになるため、図12(e)に示すように半田実装または導電性接着剤によって実装する場合でも、実装面積は、チップ面積内あるいは、それと同等の面積で容易に行うことができる。

【0110】これらの製造方法によれば、ドライフィルムレジスト(DFR)を用いて逆パターンを形成した後、無電解メッキあるいは電解メッキを含むパターンメッキ法やスパッタリング法、蒸着法等の直接描画法を用いて配線パターン金属層を形成することから、微細な配線パターン形成することが可能である。また、配線パターンを構成する金属箔は、メッキ法の場合は、キャリアを構成する金属箔は、例えば銅箔と同一にしておくことも、また異なる金属である銀メッキ膜によって構成することもできる。また、前述と同様の理由から、第1の金属層であるキャリア用金属箔を再利用したりすることも可能であるため、低コスト化が可能であり、工業上の利用性にも優れる。

【0111】また、転写形成剤を用いて単層チップコンデンサを埋め込む際には、図12(f)に示すように、予め、チップコンデンサ接続用の配線パターンをシート状機材1201に転写しておいてから行ってもよいが、配線パターンによっては、直接、チップ部品1204と層間接続ピア1202が接続するように埋め込んでも構わない。

【0112】また、本実施の形態では、転写形成材を構成する離型キャリア銅箔1206は、エッチングではなく、離型キャリア1206のみを剥離して部品配線パターンの転写を実現させることができる事を確認している。

【0113】この製造方法によれば、チップ部品の実装に要する面積も少なく、また厚みも薄いため、部品内蔵層の厚みを100~200μm程度に抑制することができ、多層化していくことも十分可能となる。

【0114】(実施の形態11) つぎに、本発明の第1

1の実施の形態であるチップ部品内蔵多層基板の製造方法を図13に示す。

【0115】図13(a)~(c)に示すように、本実施の形態では、まず、離型樹脂フィルム1301上に粘着フィルム層1302を形成した後、配線パターン層1303を形成する。しかる後、実施形態10と同様に単層チップコンデンサ1304を転写形成材上に実装する。但し、本実施形態で用いられる単層チップコンデンサ1304は、片面のみ單一電極であり、もう片面は、多数の電極で構成されている。本実施の形態では、図13(g)~(i)に示すように、複数電極面側でチップ部品と転写配線パターンを実装接続した後、位置合わせを行なながらシート状機材1306に圧着、埋め込み工程を行っている。埋め込みにあたっては、図13(f)に示すように予め、もう片面側の配線パターンを転写しておいた。しかる後に、離型キャリア樹脂フィルムを手動で剥離した。本実施形態のように転写形成材の離型用フィルムに樹脂を用いると、転写形成材上に実装されたチップ部品の導通等を埋め込み前に予めチェックしておくことができる。

【0116】また、本実施形態のように単層チップコンデンサの外部端子電極を複数にしておくと所定の静電容量を容易に得ることができる。特に、基板内蔵に伴い静電容量が変化する場合に調整が容易であり、特に有効である。

【0117】なお、本実施形態の製造方法では、単層チップコンデンサを用いているが、図5、図6に示すような縦電極の積層チップコンデンサ、チップインダクタ、チップ抵抗をもちいても何ら構わない。

【0118】(実施の形態12) つぎに、本発明の第12の実施の形態であるチップ部品内蔵多層基板の製造方法を図14に示す。図14に示すように、本実施形態に用いられる転写形成材は、第一の金属層である離型キャリア用金属箔1406と、その上に形成された剥離層1407と、さらにその上に形成された第二の金属層である配線用金属1403の3層構造で形成される。

【0119】これら前記転写用部品配線パターン形成材において、前記第1の金属層と配線層を構成する第2の金属層の接着強度が弱いこと、例えば50gf/cm以下であることが好ましい。前記第1の転写用部品配線パターン形成材では、メッキ法や蒸着法等を用いることにより、エッチング、メッキ、水洗等のプロセス下では、2層の金属層間が剥がれないが、ピールに際しては容易に第2の金属層のみ、剥離させることができることが認められている。また、半田あるいは導電性接着剤で形成されたチップ部品パターンは、容易に、キャリアである第1の金属層から剥離させることができる。

【0120】一方、前記転写用部品配線パターン形成材では、剥離層として接着力を有した1μmより薄い有機層、例えば熱硬化樹脂であるウレタン系樹脂、エポキシ

系樹脂、フェノール樹脂などが使用できるが、これには制限されず、他の熱可塑性樹脂などを用いても構わない。但し、 $1 \mu m$ より厚くなると、剥離性能が悪化し、転写が困難となる場合があるので $1 \mu m$ 以下が好ましい。

【0121】一方、意図的に接着力を低下させる目的で剥離層1407としてメッキ層を介在させても良い。例えば、 $1 \mu m$ より薄い金属メッキ層、ニッケルメッキ層あるいはニッケルリン合金層あるいはアルミニウムメッキ層等を銅箔間に介在させて剥離性を持たせることも可能である。

【0122】これにより、前記第2の金属層からなる配線部に関しては、基板に転写する際に、前記第1の金属層から前記第2の金属層が剥離し易く、前記第2の金属層及び部品パターンを前記基板に転写することが容易になる。金属メッキ層の場合、剥離層は、 $100 nm$ から $1 \mu m$ の厚みレベルで十分であり、厚くなればなるほど工程上コストがかかるので、少なくとも $1 \mu m$ より薄いことが望ましい。

【0123】前記転写用部品配線パターン形成材において、前記第1の金属層は、銅、アルミ、銀およびニッケルからなる群から選択された少なくとも一つの金属を含むことが好ましいが、中でも銅を含むことが好ましい。前記第2の金属層は、第1の金属層と同様、銅、アルミ、銀およびニッケルからなる群から選択された少なくとも一つの金属を含むことが好ましいが、前記第1の転写用部品配線パターン形成材の場合は銀を、前記第2あるいは第3の転写用部品配線パターン形成材の場合は、銅を含むことが好ましい。なぜなら、第1の金属層に銅を用いる場合は、コスト的に安いこと、つまり、市販のもので所定の厚みを有する箔が多く存在することためである。また、第2の金属層に銅を用いる場合は、メッキで生成することが容易であるためである。また、第3の実施形態での転写形成材の場合、第1の金属層と第2の金属層が同一であれば、同じエッチング液で加工を制御できるという効果があるが、金属層が銅の場合は、エッチングによるファインな加工条件だしが既に良く開発されているという利点がある。なお、前記金属は、一種類でもよいが、二種類以上を併用してもよい。

【0124】前記第1および第2および第3の転写用部品配線パターン形成材において、前記第2の金属層の厚みが、 $1 \sim 18 \mu m$ の範囲であることが好ましく、特に好ましくは、 $3 \sim 12 \mu m$ の範囲である。前記厚みが $3 \mu m$ より薄いと、前記第2の金属層を基板に転写した場合に、良好な導電性を示さないおそれがあり、前記厚みが $18 \mu m$ より厚いと、微細な配線パターンを形成することが困難となるおそれがある。

【0125】前記転写用部品配線パターン形成材において、前記第1の金属層の厚みが、 $4 \sim 100 \mu m$ の範囲であることが好ましく、特に好ましくは、 $20 \sim 70 \mu$

m の範囲である。第1の金属層は、キャリアとして機能する一方、場合によっては本実施形態に示すように、配線層と同様に表層部がエッチングされて凹凸を有する構造となるため、十分な厚みを有した金属層であることが望ましい。また、転写用に用いるキャリア層を金属層としてすることで、転写時に生じる熱歪みや、平面方向の応力歪みに対して十分な機械強度や耐熱性を示す。

【0126】配線パターン形成するための化学エッチングは具体的には次のように行うことができる。アンモニウムイオンを含む塩基性塩化第2銅水溶液をエッチャントに用いると、剥離層が例えばニッケルリン合金層からなる場合は、第2の金属層のみをエッチングすることができる。しかる後に、エッチング液に硝酸、過酸化水素水の混合液を用いると、剥離層のみを取り除くことができる。転写後に配線部が凹部にならず、平坦になるように意図する場合に用いられる。

【0127】また、配線パターンを構成する金属箔をキャリアを構成する金属箔と同一にしておくことによって、本実施形態のように一回のエッチングプロセスでキャリアを構成する第1の金属層まで配線パターンと同一の凹凸形状を形成することができる。

【0128】また、転写を行った後の、前記第2の金属層以外の転写用配線パターン形成材の構成材料を再利用したり、特に後者の場合は、配線パターン状に加工されていることをを利用して凸版印刷として違うやり方のパターン形成に利用することも可能である。このため、低コスト化が可能であり工業上の利用性にも優れる。

【0129】なお、これら前記転写用部品配線パターンの構成において、第2の配線パターン上に電解メッキ法により前記第2の金属層上に前記金属層を形成してもよい。前記電解メッキ法により第3の金属層、または前記配線パターン形成用の金属層を形成すれば、前記第2の金属層と前記第3の金属層との接着面に適度な接着性が得られるだけでなく、前記金属層間に隙間が発生しないため、例えばエッチング等を行っても良好な配線パターンを形成できる。一方、第2の金属層上に前記第3の金属層をパネルメッキで形成した後、配線パターン上にマスキングを行いパターン形成を行ってもよい。この場合、転写後の第2の金属層の表面酸化防止、ハンダ濡れ性の改善に効果がある。

【0130】この転写用配線パターンの製造方法において、前記第2の金属層上に第3の金属層を形成する前には、前記第2の金属層の表面を粗面化処理することが好ましい。前記金属層を形成する前とは、前記第2の金属層上に配線パターン用の金属層を形成する前、または前記配線パターン状にマスキングされた第2の金属層上に、前記配線パターンに沿って第2の金属層を形成する前をいう。このように、前記第2の金属層を粗面化処理すると、前記第2の金属層と前記第3の金属層との接着性が向上する。

【0131】さらに、前記転写用配線パターンの製造方法において、電解メッキ法により前記第3の金属層上に異なる金属層を形成してもよい。前記電解メッキ法により異なる金属層、すなわち、前記第1から第3の金属層を腐食するエッティング液に対し化学的に安定な金属成分を選択することにより、前記転写用配線パターンの製造方法において、化学エッティング法により、何ら第2、3、4の金属層の厚みを低減させることなく、前記第1の金属層の表層部を含めて配線パターン状に加工することができるため好ましい。

【0132】この異なる金属で構成された層としては、例えば、化学的に安定で低抵抗なAg、あるいはAuメッキ層などが望ましい。これらは酸化されにくい金属であるため、これらでメッキされた配線層と例えば、予め基板に形成されたピアあるいは、ペアチップのパンプや導電性接着剤との接続性などはより安定させることができる。

【0133】一方、チップ部品及び配線パターンが表層に転写される場合は、特にインダクタ、コンデンサ、半導体チップ等の端子間距離が接近している場合などは、沿面距離をかせぐ意味からも、本実施形態のように、キャリア層1406まで部分的に加工された転写形成材が好ましい。

【0134】また、配線部分がこのように凹形状である場合は、例えば、半導体のフリップチップ実装等を行う場合に優れた実装性を発揮する。

【0135】(実施の形態13) 同様に、つぎに、本発明の第13の実施の形態であるチップ部品内蔵多層基板の製造方法を図15に示す。本実施形態は、部品内蔵層が二層以上の多層に積層されたことを特徴とする。

【0136】図15(a)に示すように、前記実施形態同様の配線パターン1503が形成された転写形成材上に半導体ペアチップ1510をフリップチップ実装する。1509は実装を補強するためのアンダーフィルである。また、本実施形態では、同時に印刷によって形成された抵抗体1511も加えた。

【0137】前記回路基板は、100°C以下の低温で部品パターン及び配線パターンを転写形成ができるので、熱硬化樹脂を用いたシートに於いても、未硬化の状態を維持することができ、図15(d)に示すように一括積層による熱硬化収縮を実現することができる。

【0138】従って、4層以上の多層を有する回路基板に於いて、各層毎の硬化収縮の補正を行う必要がない。これにより、微細な配線パターン及び部品パターンを有する多層構造の回路基板を作製できる。但し、内層を形成する配線部、部品部に関しては、前述のように凹形状である必要はなく平坦でもよい。

【0139】また、図15(d)(e)に示すように、本実施形態のように多層回路基板を作製する場合は、前述のようにして作製した半導体素子、あるいはチップ部

品等が内蔵されたそれぞれの単層の回路基板を積層し、層間を接着することにより作製できる。当然ながら、本実施形態のようにBステージの配線パターンと層間ピアが形成された配線層1512、1513を付け加えて、一括で5層板に積層することができる。

【0140】また、この構造によれば、半導体素子とパスコンとして機能するチップコンデンサをごく近傍に位置するように実装できるので、優れた特性を見いだすことができる。

10 【0141】なお、本実施形態に示したように、内蔵する部品は、チップ部品に限定するものではなく、半導体素子、さらには印刷等によって作製された膜状のLCR各種部品も内蔵させることができる。

【0142】例えば、シート状基材が熱硬化性樹脂を含む回路基板を積層する場合は、図15(d)～(e)に示すように、まず、前述と同様に、加熱加圧処理によって、前記シート状基材に熱硬化しない低温域で前記部品配線パターンのみを転写し、得られた単層の回路基板を積層する。そして、前記積層体を、前記熱硬化性樹脂の硬化温度で加熱加圧処理し、前記熱硬化性樹脂を硬化することによって、前記回路基板間を接着固定する。加熱加圧条件の温度を意図的に100°C以下にして回路層の転写を行うと、転写後もシート状基材を殆どブリブレグのように扱えるため、順次積層でない一括積層による多層化が可能となる。

【0143】前記多層回路基板における積層数は特に制限されないが、通常、4～8層であり、12層に及ぶものもある。また、前記多層回路基板の全体の厚みは、通常、500～1000μmである。

30 【0144】なお、前記多層回路基板の最外層以外の中間層を構成する回路基板は、インナーピアによる電気的接続構造を考慮すると、配線パターン等が表面に埋め込まれた凹部ではなく、平坦であってもよい。この構造を意図的に得るためには、本願発明の第1あるいは第2の転写用部品配線パターンを用いることよい。また、前記多層構造の最外層は前記表面が平坦な構造の回路基板でもよいが、表面に凹部を有しその底部に第2の金属層等が形成された配線基板であると、半導体チップ等の実装がより容易になり好ましい。

40 【0145】(実施の形態14) 同様に、つぎに、本発明の第14の実施の形態であるチップ部品内蔵多層基板の製造方法を図16に示す。本実施形態は、実施形態13と同様に、部品内蔵層が二層以上の多層に積層されたことを特徴とする。

【0146】本実施形態の製造方法によれば、個々の半導体素子、チップ部品を内蔵する工程は、実施形態13と同様であるが、内蔵工程と同時に回路基板であるシート状基材を完全に硬化してしまうところが異なる。この製造方法によれば、各部品内蔵層1601、1602は完全に硬化しているため、積層の層間接続にあたって

は、接着材の役割を果たすBステージの配線層1603を介して行うことになる。

【0147】従って、積層工程に於いては、既に半導体素子1610、チップ部品1611等の部品は、硬化した基板1601、1602で守られているため、損傷を受ける可能性がより少なくすることができる。

【0148】(実施の形態15) つぎに、本発明の第15の実施の形態であるチップ部品内蔵多層基板の製造方法を図17に示す。本実施形態は、同一部品内蔵層にチップ部品及び半導体素子が内蔵されており、且つチップ部品と半導体素子とがごく近傍に位置して接続された構造を特徴とする。

【0149】本実施形態の製造方法によれば、個々の半導体素子、チップ部品を内蔵する工程に転写形成材を用いる点は前記実施形態と同じであるが、それぞれのチップ部品を含む転写形成材1710及び半導体素子1705を含む転写形成材1706を同時に回路基板であるシート状基材の上下両面から埋め込み、内蔵を行うところが特徴である。この製造方法によれば、各部品内蔵層は1層でありながら、半導体素子1703が層間接続ピア1708を通じてチップ部品1704と短配線で接続された構造を実現することができる。

【0150】この場合、チップ部品1704がパソコンであれば、MPU等の半導体素子とデカップリングを行い、優れた機能を発揮することができる。

【0151】

【実施例】つぎに、実施例を用いて、図に基づき、本発明をさらに具体的に説明する。

【0152】(実施例1) 図12は、前記転写用配線パターン形成材の製造工程の一例を示す断面図である。図12(a)に示すように、第1の金属層1206として、厚み35μmの電解銅箔を準備した。まず、銅塩原料をアルカリ性浴に溶解し、これを高電流密度となるように回転ドラムに電着させ、金属層(銅層)を形成し、この銅層を連続的に巻き取って、電解銅箔を作製した。

【0153】つぎに、図12(b)に示すように、ドライフィルムレジスト1209を用いて、配線逆パターンを形成した。しかる後に、図12(c)に示すように、前記第1の金属層1206の面上に、銀で構成された配線パターン形成用の金属層1203を、厚み9μmになるように、電解メッキ法によって積層し、図12(d)に示すように、2層構造からなる転写用配線パターン形成材を作製した。この表面の中心線平均粗さ(Ra)が、4μm程度になるように粗面化処理を施した。

【0154】次に、単層チップコンデンサの実装位置に半田ペーストを用いて印刷した後、前記コンデンサを装着し、リフロー炉にて接続を確保した。

【0155】まず、配線パターンを転写する基板1201を準備した。この基板1201は、コンポジット材料

からなるシート状基材を調製し、これにピアホールを設け、前記ピアホールに導電性ペースト1207を充填することにより作製した。以下に、前記シート状基板1201の成分組成を示す。

【0156】(シート状基板1201の成分組成)

- (1) Al₂O₃ (昭和電工社製、AS-40 : 粒径12μm) : 90重量%
- (2) 液状エポキシ樹脂 (日本レック社製、EF-450) : 9.5重量%
- (3) カーボンブラック (東洋カーボン社製) : 0.2重量%
- (4) カップリング剤 (味の素社製、チタネート系 : 46B) : 0.3重量%

前記各成分を、前記組成になるように秤量して、これらの混合物に、粘度調整用溶剤としてメチルエチルケトン溶剤を、前記混合物のスラリー粘度が約20Pa·sになるまで添加した。そして、これにアルミナの玉石を加え、ポット中で48時間、速度500rpmの条件で回転混合し、スラリーを調製した。

【0157】つぎに、離型フィルムとして、厚み75μmのポリエチレンテレフタレート(PET)フィルムを準備し、このPETフィルム上において、前記スラリーを用いて、ドクターブレード法により、ギャップ約0.7mmに造膜し、造膜シートを作製した。そして、この造膜シートを、温度100℃で1時間放置することにより、前記シート中の前記メチルエチルケトン溶剤を揮発させ、前記PETフィルムを除去し、厚み200μmのシート状基材1201を作製した。前記溶剤の除去を、温度100℃で行ったため、前記エポキシ樹脂は、未硬化状態のままであり、前記シート状基材は可撓性を有していた。

【0158】このシート状基材を、その可撓性を利用して、所定の大きさにカットし、炭酸ガスレーザーを用いて、ピッチが0.2mm~2mmの等間隔になる位置に、直径0.15mmの貫通孔(ピアホール)を設けた。そして、この貫通孔に、ピアホール充填用導電性ペースト1207を、スクリーン印刷法により充填し、前記基板を作製した。前記導電性ペースト1207は、以下の材料を、以下の組成になるように調製し、三本ロールにより混練したもの用いた。

【0159】(導電性ペースト1202)

- (1) 球形状の銅粒子 (三井金属鉱業社製 : 粒径2μm) : 85重量%
- (2) ピスフェノールA型エポキシ樹脂 (油化シェルエポキシ社製、エピコート828) : 3重量%
- (3) グルシジルエステル系エポキシ樹脂 (東都化成社製、YD-171) : 9重量%
- (4) アミニアダクト硬化剤 (味の素社製、MY-24) : 3重量%

つぎに、図12(g)に示すように、前記基板1201

の両面に、前記転写用部品配線パターン形成材のチップ部品パターン側が接するように配置し、熱プレスを用いて、プレス温度120℃、圧力10kg/cm²で5分間、加熱加圧処理した。なお、コンデンサ1204に関して、上下電極面で挟む構造にする場合は、基板1201上に予め、電極パターン1207を転写形成しておいてよい。

【0160】この加熱加圧処理により、前記基板1201中のエポキシ樹脂（前記シート状基材および導電性ペースト1202中のエポキシ樹脂）が溶融軟化して、図12(g)に示すように、前記チップ部品パターン1204および配線パターン1203が前記基板1201中に埋没した。そして、加熱温度をさらに上昇させ、温度175℃で60分間処理することにより、前記エポキシ樹脂を硬化させた。

【0161】これにより、前記シート状基材と全部品パターンが、強固に接着し、また、前記導電性ペースト1202と各部品パターンとが電気的に接続（インナーピア接続）し、かつ強固に接着した。

【0162】このような図12(g)に示す積層工程から、前記キャリア層である第1の金属層1206を剥離することにより、図12(h)に示すような、チップコンデンサ内蔵基板が得られた。

【0163】チップ部品の実装位置も、正確であり、厳密な設計どおりの回路基板を、容易に形成することができた。本実施例のチップコンデンサを含む転写形成材を用いた製造方法によれば、チップ部品と層間接続ビア1202と配線パターン1203との配線の接合は良好であり、良好に機能した。また、コンデンサ高温負荷信頼性試験(125℃、50V、1000時間)を行っても、コンデンサ1204の誘電体層に絶縁抵抗の劣化はなく、10⁶Ω以上の絶縁抵抗を確保できた。

【0164】この配線基板は、転写および加熱プレス工程後、平坦な実装表面が形成された。本実施例では、この回路基板の配線層1203上に金メッキ層を形成してもよい。

【0165】この回路基板は、部品内蔵基板層の厚みが200μmと比較的厚くない形態でチップ部品の内蔵を実現しており、且つ、基板の反り、クラック、ゆがみは、発生しなかった。

【0166】なお、本実施例では、基板の無機フィラーにアルミナ粉末を用いているが、酸化珪素粉末を用いても構わない。その場合、同様に通常のFR-4等の樹脂基板と比較して高熱伝導性は維持されており、且つ、低誘電率3.5という特徴を見いだすことができた。

【0167】また、本実施例では、転写形成材にキャリア銅箔を用いているが、樹脂フィルムをキャリアとする転写形成材を用いても何ら構わない。

【0168】(実施例2) 図17(a)～(d)は、チップ部品を実装する前記転写用配線パターン形成材の製造工程

の概略の一例を示す断面図である。

【0169】図17(a)に示すように、第1の金属層1701として、厚み35μmの電解銅箔を準備した。具体的には、銅塩原料をアルカリ性浴に溶解し、これを高電流密度となるように回転ドラムに電着させ、金属層（銅層）を作製し、この銅層を連続的に巻き取って、電解銅箔を作製した。

【0170】つぎに、図17(b)に示すように、前記第1の金属層1701の面上に、ニッケルリン合金で構成された薄いメッキ層を形成し、剥離層1702を形成する。配線パターン形成用の金属層1703として、前記第1の金属層1701と同じ電解銅箔を、厚み9μmになるように、電解メッキ法によって積層し、3層構造からなる積層体を作製した。

【0171】この表面の中心線平均粗さ(Ra)が、4μm程度になるように粗面化処理を施した。なお、前記粗面化処理は、前記電解銅箔に、銅の微細な粒を析出させることにより、行った。

【0172】次に、化学エッティング法（塩化第2鉄水溶液に浸漬）によりエッティングして、任意の配線パターンである第2の金属層1703および第1の金属層1701の表層部にパターニングを行った。

【0173】かかる後に、マスク部分を剥離剤で除去し、図14(d)に示す転写用配線パターン形成材を得た。第1の金属層と第2の金属層が同じ銅で構成されているため、一回の化学エッティングで第2の金属層のみならず第1の金属層にも部分的に凸部の配線層を形成することができる。キャリア層である第1の金属層まで一部加工されているところに構造上の特徴がある。なお、本実施例では、剥離層にニッケルメッキ層を用いているが、例えば、有機層等を形成しても、同様の構造を有する転写形成材を得ることができる。

【0174】この段階において作製された前記転写用配線のみのパターン形成材では、前記第1の金属層1701と配線パターン形成用の金属層1703との剥離層を介した接着性が接着力 자체は弱くとも耐薬品性に優れ、この3層構造の金属層全体にエッティング処理を行っても、剥離することなく問題なく配線パターンを形成できた。一方、前記第1の金属層1701と第2の金属層1703との接着強度は、40g/cmであり、剥離性に優れていた。

【0175】次に、内部に複数の縦電極を有する積層セラミックチップコンデンサ1704を導電性接着剤を用いて接続した。本構造のチップ積層コンデンサ1704は、上面に外部接続端子があるため、容易に転写形成材上で実装することができた。

【0176】同様に、半導体素子1705も転写形成材上にフリップチップ実装を行い、図17(d)に示すように、基板内に形成されている層間接続ビア1708と位置合わせを行いながらシート機材に150℃加熱しな

がら押しつけた。本実施例に用いたシート基材は、実施例1と同様で、埋め込むためのプレス条件も同様である。

【0177】チップ部品を内蔵する工程に転写形成材を用いる点は前記実施例と同じであるが、それぞれのチップ部品を含む転写形成材及び半導体素子1705を含む転写形成材1706を同時に回路基板であるシート状基材の上下両面から埋め込み、内蔵を行うところが特徴である。

【0178】この製造方法によれば、各部品内蔵層は1層でありながら、半導体素子1705が層間接続ビア1708を通じてチップ部品1704と短配線で接続された構造を実現することができた。

【0179】この結果、パソコンであるチップ部品1704がMPU半導体素子1703とデカップリングを行い、高周波での優れた機能を発揮することができた。

【0180】また、回路基板を構成するシート状基材1707へ第2の金属層1703の転写を行った結果、前記第1の金属層1701と第2の金属層1703との剥離層を介した接着面が容易に剥離し、前記第2の金属層1703のみを前記基板に転写することができた。

【0181】この配線基板1707には、前記第1の金属層1701がエッチングされた深さに対応した凹部が形成され、前記凹部の底部に前記全ての配線を含む部品パターンが形成された。従って、この凹部の配線層が形成された表層にさらに他の半導体ペアチップをフリップチップしたところ、優れた実装性、信頼性を得ることができた。

【0182】チップ部品それぞれの実装位置も、正確であり、厳密な設計どおりの回路基板を、一括転写で形成することができた。本実施例の転写形成材によれば、半導体チップのバンプと配線の接合は良好であり、半導体チップのバイパスコンデンサとして機能するように実装したコンデンサも良好に機能した。また、コンデンサ高温負荷信頼性試験(125°C、50V、1000時間)を行っても、コンデンサの誘電体層に絶縁抵抗の劣化なく、 $10^6 \Omega$ 以上の絶縁抵抗を確保できた。

【0183】

【発明の効果】以上のように、本発明のチップ部品内蔵基板は、微細な配線パターンの形成に加え、LCR等のチップ部品を半田あるいは導電性接着剤で実装、形成し、それらを一括して転写を行い内蔵化するため、容易に基板上に正確に実装することができる。また、内蔵に適したチップ部品を構成することにより、厳密な特性スペックの得られたチップ特性を内蔵後も生かすことができる点、内蔵してもチップ厚みが薄いため、層厚がかさばらないこと、上下面に電極を有するため、実装が容易で実装面積も不要とすることができる。

【図面の簡単な説明】

【図1】(a)(b)は從来の実施の形態におけるチップ部品

内蔵基板の構成概略を示す断面図

【図2】本発明の第1の実施の形態における部品内蔵基板の構成概略を示す断面図

【図3】本発明の第2の実施の形態における部品内蔵基板の構成概略を示す断面図

【図4】本発明の第3の実施の形態における部品内蔵基板の構成概略を示す断面図

【図5】本発明の第4の実施の形態における部品内蔵基板の構成概略を示す断面図

【図6】本発明の第5の実施の形態における部品内蔵基板の構成概略を示す断面図

【図7】本発明の第6の実施の形態における部品内蔵基板の構成概略を示す断面図

【図8】本発明の第7の実施の形態における部品内蔵基板の構成概略を示す断面図

【図9】本発明の第8の実施の形態における部品内蔵基板の構成概略を示す断面図

【図10】本発明の第9の実施の形態における部品内蔵基板の構成概略を示す断面図

【図11】(a)～(f)は、従来の転写用部品配線パターン形成材を用いて形成された多層回路基板の各層の製造工程の概略を示す断面図

【図12】(a)～(i)は、本発明の第10の実施の形態および実施例1における転写用チップ部品配線パターン形成材及びそれを用いて形成されたチップ部品内蔵基板の製造工程の概略を示す断面図

【図13】(a)～(i)は、本発明の第11の実施の形態における転写用部品配線パターン形成材及びそれを用いて形成されたチップ部品内蔵基板の製造工程の概略を示す断面図

【図14】(a)～(i)は、本発明の第12の実施の形態における転写用部品配線パターン形成材及びそれを用いて形成されたチップ部品内蔵基板の製造工程の概略を示す断面図

【図15】(a)～(e)は、本発明の第13の実施の形態におけるチップ部品内蔵基板の各層の製造工程の概略及び積層方法を示す断面図

【図16】(a)～(b)は、本発明の第14の実施の形態におけるチップ部品内蔵基板の各層の積層方法を示す断面図

【図17】(a)～(h)は、本発明の第15の実施の形態及び本発明の実施例2における転写用部品配線パターン形成材及びそれを用いて形成されたチップ部品内蔵基板の製造工程の概略を示す断面図

【符号の説明】

1106, 1206, 1301, 1406, 1504, 1701 キャリアを構成する第1の金属層

1208, 1302, 1407 剥離層

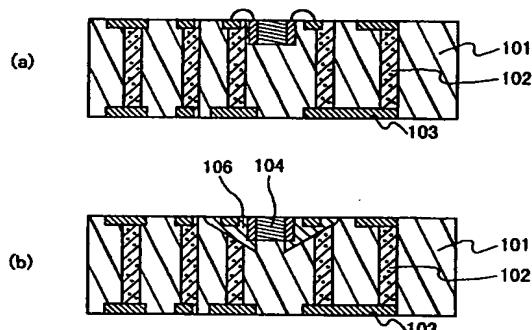
103, 203, 303, 403, 503, 603, 703, 803, 903, 1003, 1103, 120

50 3, 1303, 1403, 1503, 1612, 1703 配線パターンを形成する

第2の金属層

- 101, 201, 301, 401, 501, 601, 701, 801, 901, 1001, 1101, 120
 1, 1306, 1401, 1501, 1605, 1706 シート状基材
 102, 202, 302, 402, 502, 602, 702, 802, 902, 1002, 1102, 120
 2, 1307, 1402, 1502, 1708導電性ペースト
 104, 1104 通常のチップ部品
 204, 304, 1204, 1304, 1505, 1617 単層チップコンデンサ
 1404 層間接続ビアを有する積層コンデンサ
 407 層間接続ビア
 404 内層積層電極（平面方向）

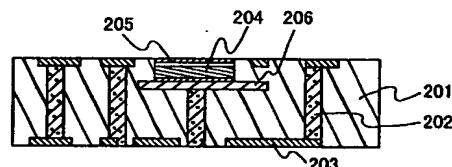
【図1】



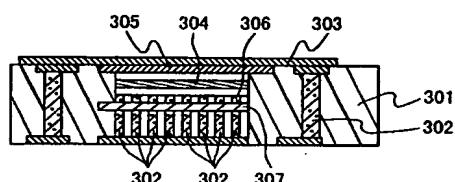
403 外部接続端子

- 1704 縦積層内部電極を有する積層コンデンサ
 506 内層積層電極（縦方向）
 305, 306, 403, 507, 508, 605, 608, 707, 1205 外部接続端子
 電極
 206, 504, 608, 707, 906, 1006, 1207 内蔵チップ部品と層
 間接続ビアをつなぐ配線層
 1510, 1610, 1705 半導体チップ
 1509, 1609 アンダーフィル

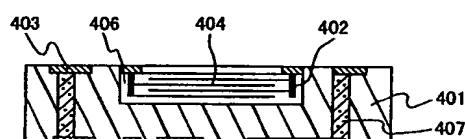
【図2】



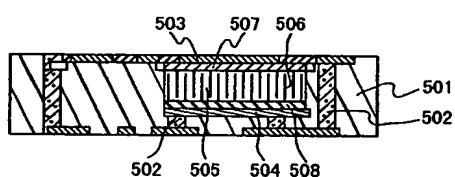
【図3】



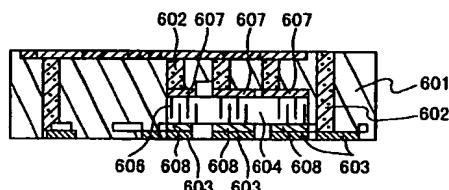
【図4】



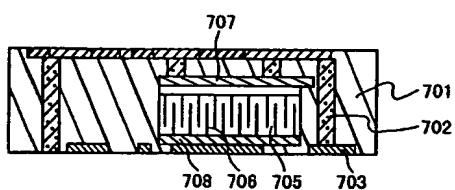
【図5】



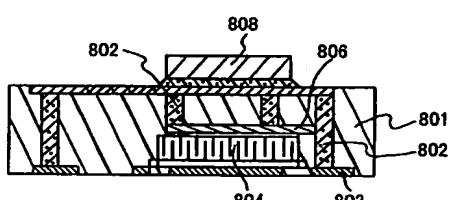
【図6】



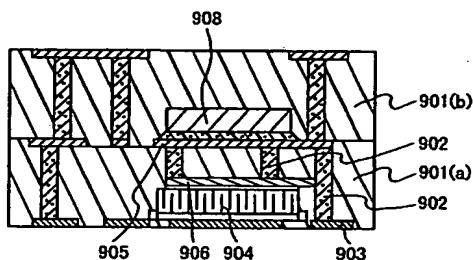
【図7】



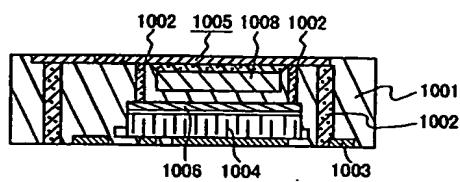
【図8】



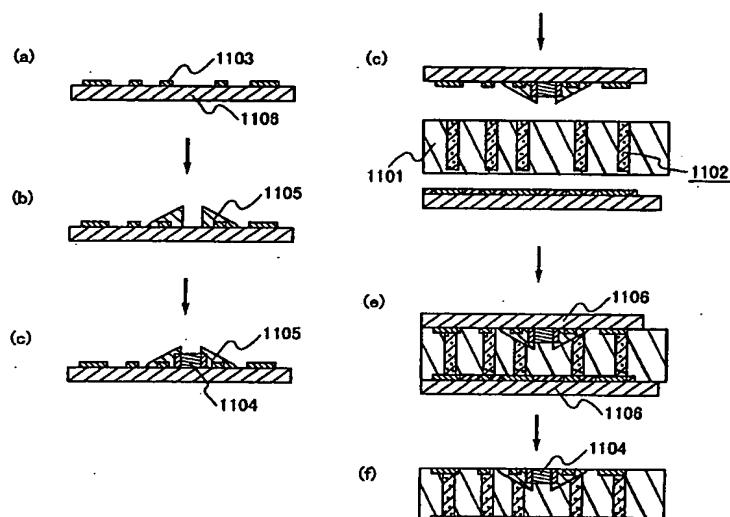
【図9】



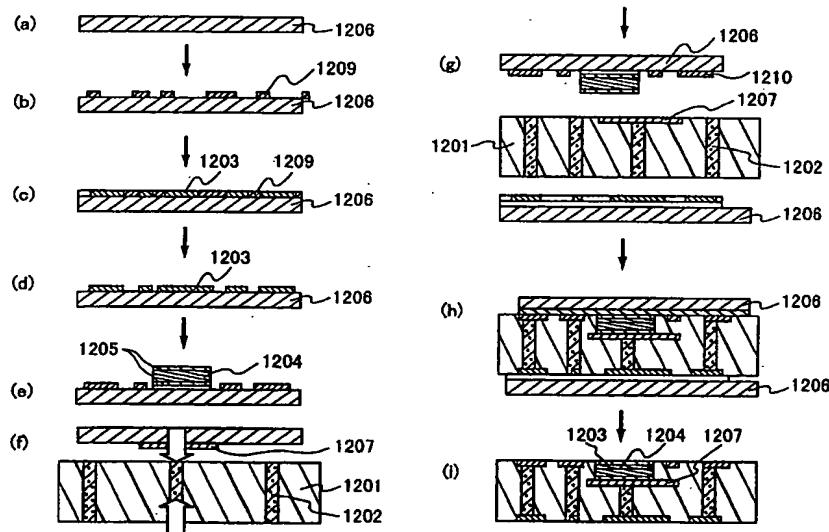
【図10】



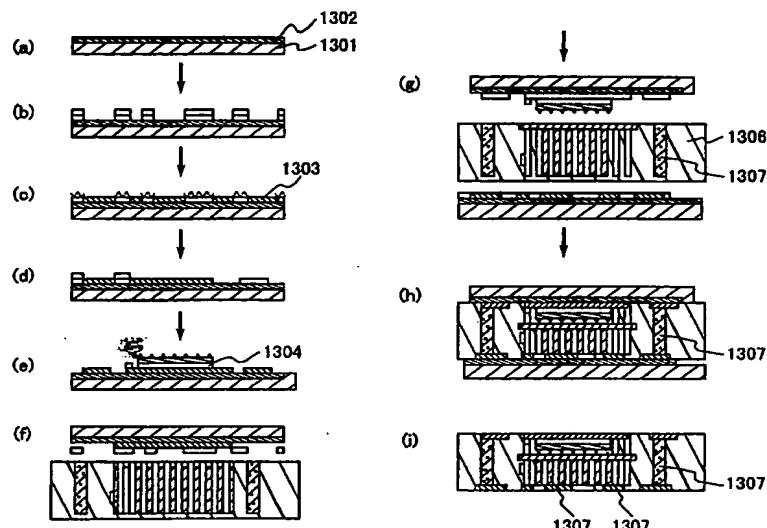
【図11】



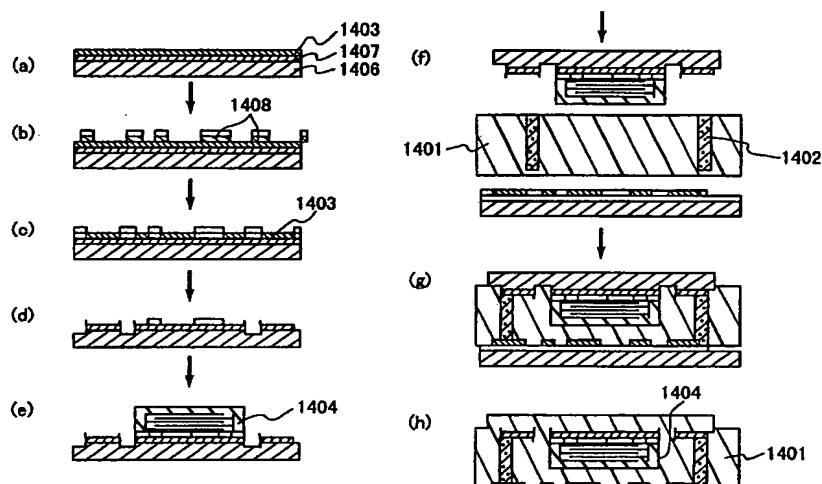
【図12】



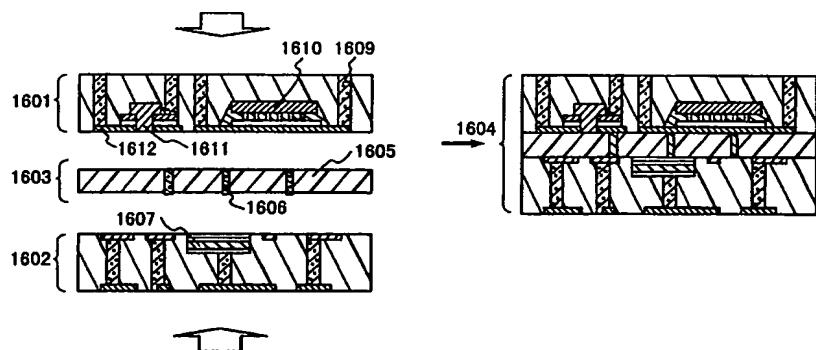
【図13】



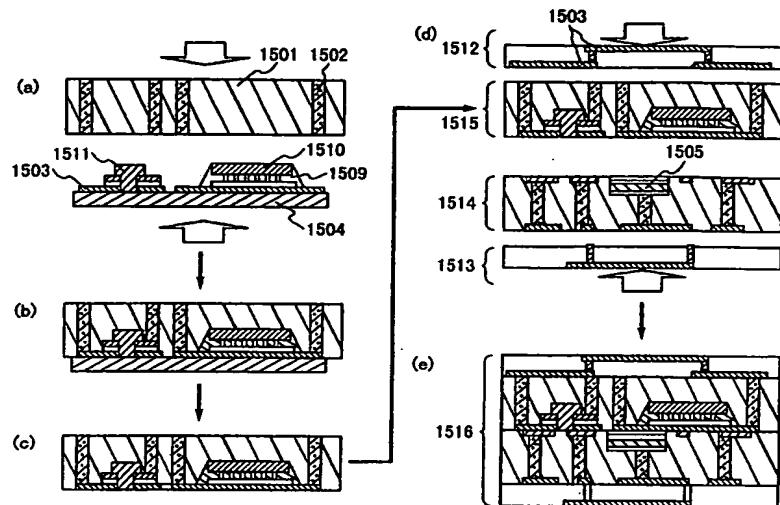
【図14】



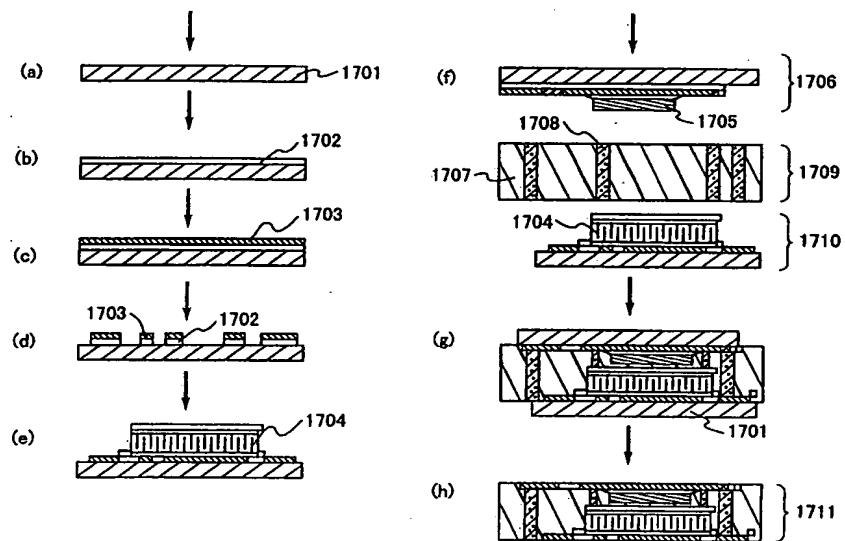
【図16】



【図15】



【図17】



フロントページの続き

(72)発明者 小松 慎五
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中谷 誠一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5E336 AA08 BB03 CC32 CC42 CC49
EE03 EE08 GG14 GG30
5E343 AA07 AA17 AA24 BB24 BB25
BB54 BB72 DD32 DD56 GG20
5E346 CC09 CC16 CC32 CC39 CC40
DD03 DD24 FF18 FF45 GG15
HH06

This Page Blank (uspto)